

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-094569

(43)Date of publication of application : 26.03.1992

(51)Int.Cl.

H01L 27/108

(21)Application number : 02-212920

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 10.08.1990

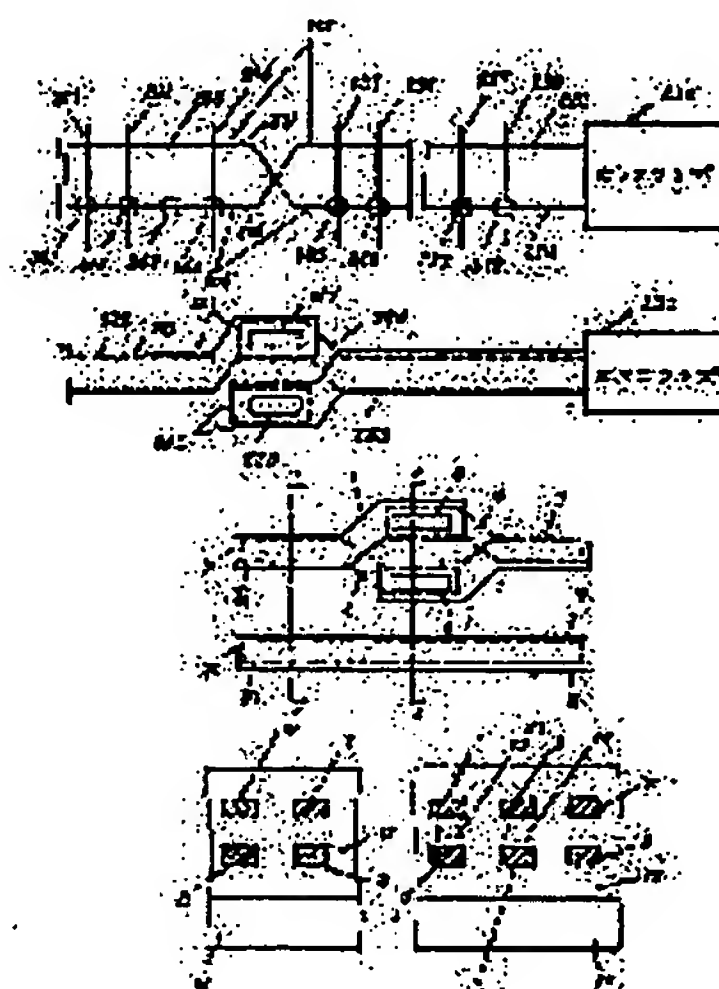
(72)Inventor : MATSUSHIMA JUNKO
INOUE MICHIO
YAMADA TOSHIRO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To prevent the deterioration of signals on bit lines in high-speed operation by transferring signals through a twisted pair of bit lines formed in upper and lower layers on a substrate.

CONSTITUTION: Upper bit lines 1 and 3 are formed above lower bit lines 2 and 4 on a substrate 11. Bit lines are connected through deviated contact holes 5 to form a pair of bit lines and a twisted pair of inverse bit lines. Bit line 201 and inverse bit lines 202 are connected to a sense amplifier 230 to amplify the very low voltage between the two lines. This realizes a smaller memory area than with a single-layer bit line structure and prevents the deterioration of signals on bit lines in high-speed operation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-94569

⑤ Int. CL⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月26日

H 01 L 27/108

8624-4M

H 01 L 27/10

3 2 5 P

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 半導体集積回路装置

⑯ 特 願 平2-212920

⑰ 出 願 平2(1990)8月10日

⑱ 発 明 者	松 嶋	順 子	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	井 上	道 弘	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	山 田	俊 郎	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 出 願 人	松下電器産業株式会社		大阪府門真市大字門真1006番地	
⑳ 代 理 人	弁理士 栗野 重孝		外1名	

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

メモリセル部分に互いに上下の位置関係で並行に配線した2層導電性配線構造からなるビット線と反転ビット線を備え、前記ビット線と反転ビット線をすくなくとも1回送転し相補信号の互いの上下関係を交換し、前記ビット線と反転ビット線の1端をセンスアンプに接続することを特徴とする半導体集積回路装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は高速性を必要としかつ、微細化メモリセル構造を用いる半導体集積回路装置に関するものである。

従来の技術

従来の半導体集積回路装置では、ビットラインは、単一層のポリシリコン等の導電性層を用いて形成されていた。

第5図は従来の半導体集積回路装置のメモリセル及びセンスアンプ部の構成図である。

第5図において、401、402はそれぞれB1、/B1のビット線と反転ビット線、同様に403、404はB2、/B2のビット線と反転ビット線、405と406、407と408、409と410も同様にそれぞれビット線と反転ビット線で対をなしている。430-434はセンスアンプである。ビット線401と402はセンスアンプ430に接続されている。同様にビット線403と404はセンスアンプ431に、ビット線405と406はセンスアンプ432に、ビット線407と408はセンスアンプ433に、ビット線409と410はセンスアンプ434に接続している。441-442、455-460はワード線である。512、514、516、518、520、521、523、525、527、529、552、554、556、558、560、561、563、564、565、567、569、572、574、576、578、58

0、581、583、585、587、589、592、594、596、598、600、601、603、605、607、609はメモリセルである。

以上のように構成された従来の半導体集積回路装置においては、例えばワード線456が立ち上がったときはメモリセル561、563、565、567、569に記憶されている情報がそれぞれビット線401、403、405、407、409に読みだされる。ビット線401と反転ビット線402の微小電位差がセンスアンプ430によって増幅される。同様にビット線403と反転ビット線404の微小電位差がセンスアンプ431によって、ビット線405と反転ビット線406の微小電位差がセンスアンプ432によって、ビット線407と反転ビット線408の微小電位差がセンスアンプ433によって、ビット線409と反転ビット線410の微小電位差がセンスアンプ434によって増幅される。

また、第6図に示すのは従来のツイストビット

線である。750、752、754、756、761、763、765、767はメモリセルである。770は、ダミーセル群、771は、ダミーセルコントロール回路である。

以上のように構成された従来の半導体集積回路装置においては、例えばワード線710が立ち上がったときはメモリセル750、752、754、756に記憶されている情報がそれぞれビット線701、703、705、707、に読みだされる。ビット線701と反転ビット線702の微小電位差がセンスアンプ730によって増幅される。同様にビット線703と反転ビット線704の微小電位差がセンスアンプ731によって、ビット線705と反転ビット線706の微小電位差がセンスアンプ732によって、ビット線707と反転ビット線708の微小電位差がセンスアンプ733によって増幅される。

また、第7図に示すのは従来のツイストビット線方式の半導体集積回路装置のビット線および反転ビット線の平面図で、第6図における上層ビッ

線方式の半導体集積回路装置のメモリセル及びセンスアンプ部の構成図である。この従来例はYoshihara, T., et al., "A Twisted Bit Line Technique for Multi-Mb DRAMs", (アイエスエスシー・ダイジェスト・オブ・テクニカル・ペーパーズ) ISSCC DIGEST OF TECHNICAL PAPERS, Feb, 1988に示されている。第6図において、701、702はそれぞれB1、/B1のビット線と反転ビット線、同様に703、704はB2、/B2のビット線と反転ビット線、705と706、707と708も同様にそれぞれビット線と反転ビット線で対をなしている。730-733は、センスアンプである。ビット線701と702はセンスアンプ730に接続されている。同様にビット線703と704はセンスアンプ731に、ビット線705と706はセンスアンプ732に、ビット線707と708はセンスアンプ733に接続している。710、711はワー

ド線と下層ビット線のコンタクトスルーホール部、例えば700の部分の平面図である。Arimoto, K., et al., "A 60ns 3.3V 16Mb DRAM", (アイエスエスシー・ダイジェスト・オブ・テクニカル・ペーパーズ) ISSCC DIGEST OF TECHNICAL PAPERS, Feb, 1989に示されている。第7図において707、708はビット線、反転ビット線、780、781はコンタクトスルーホールである。

発明が解決しようとする課題

しかしながら前記のような構成では、読みだし書き込み動作が高速になり、かつメモリセルの高集積化が進み、ビット線間隔が短くなるにつれてしたがって信号間の干渉による信号劣化が増加するという問題点を有していた。

またこの問題点を改善するために、第6図に示すツイストビット線方式がある。しかし、この構成では第7図よりわかるようにビット線と反転ビット線を接続するコンタクトスルーホールについて

面積が必要となりビット線ピッチが大きくなり、回路面積が大きくなるという問題を有していた。

本発明はかかる点に鑑み、サブミクロン以下のデザインルールを用いる、微細構造の集積回路の配線においても、大容量メモリや高性能マイクロプロセッサ等のLSI（大規模集積回路）を実現するためのビット線方式を有する半導体集積回路装置を提供することを目的とする。

課題を解決するための手段

本発明は、メモリセル部分に互いに上下の位置関係で並行に配線した2層導電性配線構造からなるビット線と反転ビット線を備え、前記ビット線と反転ビット線をすくなくとも1回捻転し相補信号の互いの上下関係を交換し、前記ビット線と反転ビット線の1端をセンスアンプに接続することを特徴とする半導体集積回路装置である。

作用

本発明は前記した構成により、半導体集積回路装置内のビット線を容易にツイストビット線にすることができる。これによって、微細間隔を有す

る高密度半導体集積回路におけるビット線間の信号干渉という問題が減少し、十分ビット線間隔を小さくすることが可能となる。さらに一对のビット線を2層配線を用いて形成するために従来の単層配線によるビット線配線に比べて、少ないメモリセル領域が実現し、チップサイズの縮小化が可能である。

実施例

第1図は本発明の一実施例における半導体集積回路装置のビット線及び反転ビット線の構成図を示すものである。同図(a)は本発明の実施例の平面図、同図(b)、(c)はそれぞれ平面図(a)のA-A'間、B-B'間での断面図を示すものである。第1図において、1, 3, 7は上層のビット線、2, 4, 8は下層のビット線、5, 6は前記上層ビット線と下層ビット線を接続するためのコンタクトスルーホールである。11は半導体基板、12はビット線間およびビット線と基板間を絶縁する酸化膜等の絶縁膜である。13, 14はそれぞれコンタクトスルーホール5, 6の断面部分である。

主要ビット線部で上層ビット線1は下層ビット線2の上部で並行して配置されている。また上層ビット線3は下層ビット線4の上部で並行して配置されている。上層ビット線1は下層ビット線4とコンタクトスルーホール5で接続され、上層から下層へ移っていく。一方上層ビット線1の下部にあった下層ビット線2はコンタクトスルーホール6で上層ビット線3と接続され、下層から上層へ変わる。すなわち、上下2層のビット線で構成した1対のビット線及び反転ビット線を捻転させツイストビット線対を形成していることになる。従って、隣接する他のビット線との間でおこる容量結合による信号間の干渉や輻射による干渉を大幅に減少することができる。

第2図は本発明の効果をさらに具体的に説明するためのビット線及び反転ビット線の平面構成図である。第2図において101, 102はそれぞれB1, /B1のビット線と反転ビット線、103, 104はそれぞれB2, /B2のビット線と反転ビット線、105, 106はそれぞれB3, /B3

のビット線と反転ビット線である。21, 23, 31, 33, 37, 39は上層ビット線であり、22, 24, 32, 34, 38, 40は下層ビット線である。27, 28, 35, 36, 43, 44はコンタクトスルーホールであり、上層ビット線と下層ビット線を接続している。ビット線101は上層ビット線21と下層ビット線24からなっている。第2図に示すビット線101と102、103と104、105と106の関係も同様にそれぞれ対の配線となりかつ上層、下層を交互にかわり、ツイストビット線を形成することになる。

上層から下層へ、下層から上層へ変わるためのコンタクトスルーホール領域は図示するように1対のビット線で1回変わる毎に、それぞれ2箇所ずつ独立してもうけなければならない。その分余分な領域を必要とする。しかし、図示するようにビット線間でコンタクト領域をずらして設けることにより、第4図に示す従来の単層でビット線対を配線した場合に比べて配線ピッチは4分の3ですむ。

第3図は本発明における半導体集積回路装置の

メモリセル及びセンスアンプ部の構成図を示すものである。同図(a)は本発明を側面より見た概略図、同図(b)は平面図である。

第3図において、201、202はそれぞれB1、 $\overline{B1}$ のビット線と反転ビット線、221、223は上層ビット線であり、222、224は下層ビット線である。227、228はコンタクトスルーホールであり、上層ビット線と下層ビット線を接続している。ビット線201は上層ビット線221と下層ビット線224からなっている。ビット線202は上層ビット線223と下層ビット線222からなっている。230はセンスアンプである。241-244、255-258はワード線である。第3図でビット線201と202がそれぞれ対の配線となりかつ上層、下層を交互に変わり、ツイストビット線を形成することになる。ビット線201と反転ビット線202がセンスアンプ230に接続されている。

以上のように構成されたこの実施例の半導体集積回路装置において、以下その動作を説明する。

集積回路装置のメモリセル及びセンスアンプ部を含んでいる。第4図において、201、202はそれぞれB1、 $\overline{B1}$ のビット線と反転ビット線、同様に203、204はそれぞれB2、 $\overline{B2}$ のビット線と反転ビット線、205、206はそれぞれB3、 $\overline{B3}$ のビット線と反転ビット線、207、208はそれぞれB4、 $\overline{B4}$ のビット線と反転ビット線、209、210はそれぞれB5、 $\overline{B5}$ のビット線と反転ビット線である。227-236はコンタクトスルーホールであり、上層ビット線と下層ビット線を接続している。ビット線201は上層ビット線221と下層ビット線224からなっているが、第4図には上層ビット線221のみ示されている。同様にビット線202は上層ビット線223と下層ビット線222からなっているが、第4図には上層ビット線221のみ示されている。230-234はセンスアンプである。241-244、255-258はワード線である。

第4図でビット線201と202それぞれ対の

ワード線241が立ち上がったときはメモリセルに記憶されている情報がビット線201に読みだされる。ビット線201と反転ビット線202の微小電位差がセンスアンプ230によって増幅される。

以上説明したように、本実施例によれば、2層ビット線を利用したツイストビット線対を形成することにより、ビット線の占有面積を減少することにより従来の単層配線によるビット線配線に比べて、小さいメモリセル領域が実現し、チップサイズの縮小化が可能であるとともに、高速動作の際の信号の高密度ビット線で問題となる信号間干渉によるビット線上の信号の劣化を防止することができる。これにより、今後の大容量メモリや高性能マイクロプロセッサおよびゲートアレイ等の大規模半導体集積回路の高性能化を実現することができる。

第4図は本発明の効果をさらに説明するための半導体集積回路装置のメモリセル及びセンスアンプ部の構成図を示すもので、第3図に示す半導体

配線となりかつ上層、下層を交互に変わり、ツイストビット線を形成することになる。ビット線203と204、ビット線205と206、ビット線207と208、ビット線209と210についても同様にツイストビット線を形成する。ビット線201と反転ビット線202がセンスアンプ230に接続されている。ビット線203と204、ビット線205と206、ビット線207と208、ビット線209と210は同様にそれぞれセンスアンプ231、232、233、234に接続されている。

第4図からわかるように、折り返しビット線構成の本実施例によれば、2層ビット線を利用したツイストビット線対を形成することにより、折り返しビット線構成の場合ビット線とワード線の交点に1箇所おきにメモリセルを配置していたのに比べワード線ピッチを同一にした状態ですべてのビット線とワード線の交点に1箇所おきにメモリセルを配置するので、高密度なメモリセル領域が実現し、チップサイズの縮小化が可能である。

発明の効果

以上説明したように、本発明によれば、2層ビット線を利用したツイストビット線対を形成することにより、ビット線の占有面積を減少することにより従来の単層配線によるビット線ビット線に比べて、小さいメモリセル領域が実現し、チップサイズの縮小化が可能であるとともに、高速動作の際の信号の高密度ビット線で問題となる信号間干渉によるビット線上の信号の劣化を防止することができる。これにより、今後の大容量メモリや高性能マイクロプロセッサおよびゲートアレイ等の大規模半導体集積回路の高性能化を実現することができ、その実用効果は極めて大きい。

4、図面の簡単な説明

第1図は本発明の一実施例における半導体集積回路装置のビット線及び反転ビット線の構成図。

第2図は本発明の実施例の効果をさらに具体的に説明するためのビット線及び反転ビット線の平面構成図。第3図は本発明の実施例における半導体集積回路装置のメモリセル及びセンスアンプ部の構成図。

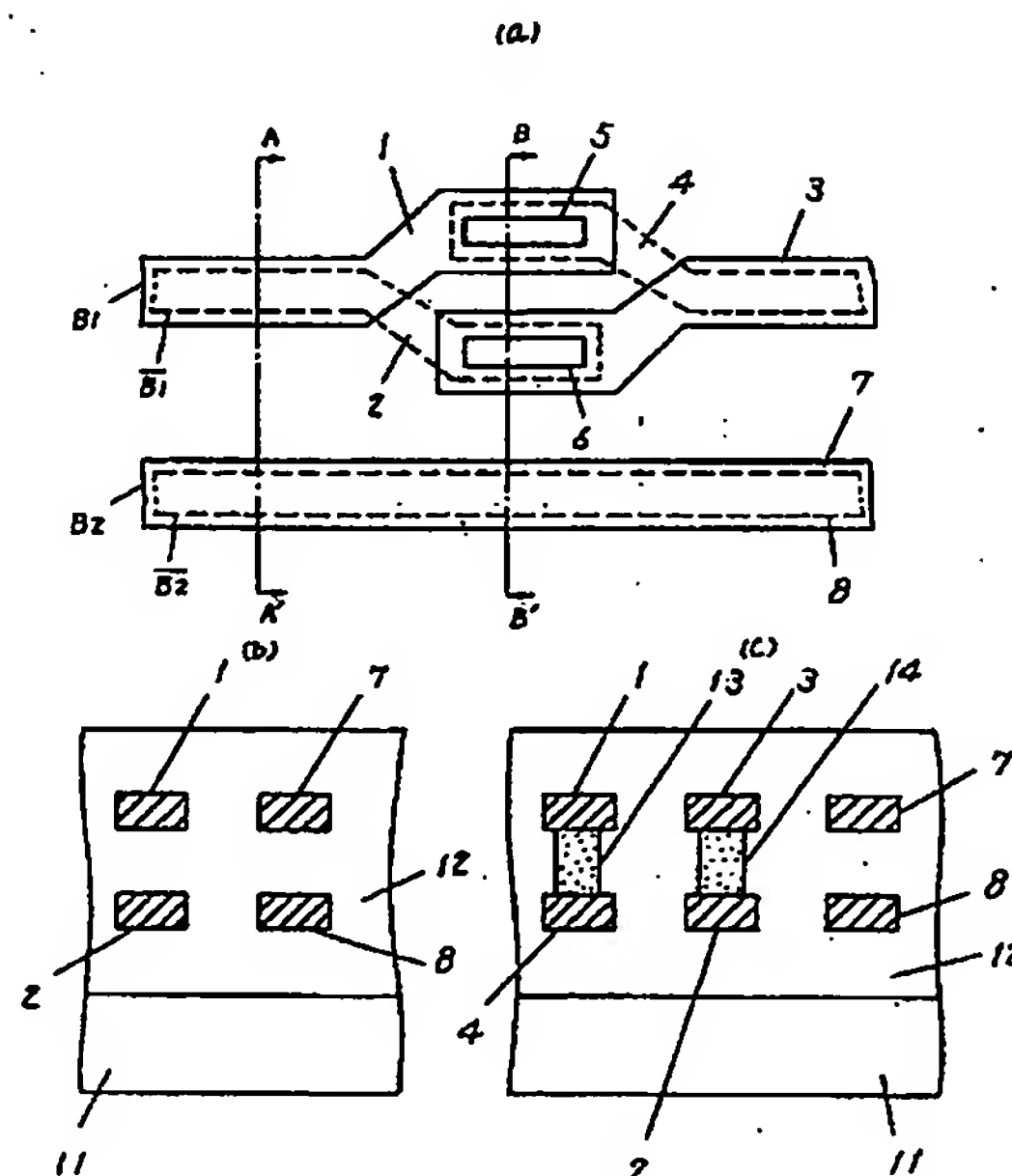
構成図。第4図は本発明の実施例の効果をさらに説明するための半導体集積回路装置のメモリセル及びセンスアンプ部の構成図。第5図は従来の半導体集積回路装置のメモリセル及びセンスアンプ部の構成図。第6図は従来のツイストビット線方式の半導体集積回路装置のメモリセル及びセンスアンプ部の構成図。第7図は従来のツイストビット線方式の半導体集積回路装置のビット線および反転ビット線の平面図である。

1, 3, 7...上層のビット線 2, 4, 8...下層のビット線
5, 6...コンタクトスルーホール 13, 14...コンタクトスルーホール5, 8の断面部分。

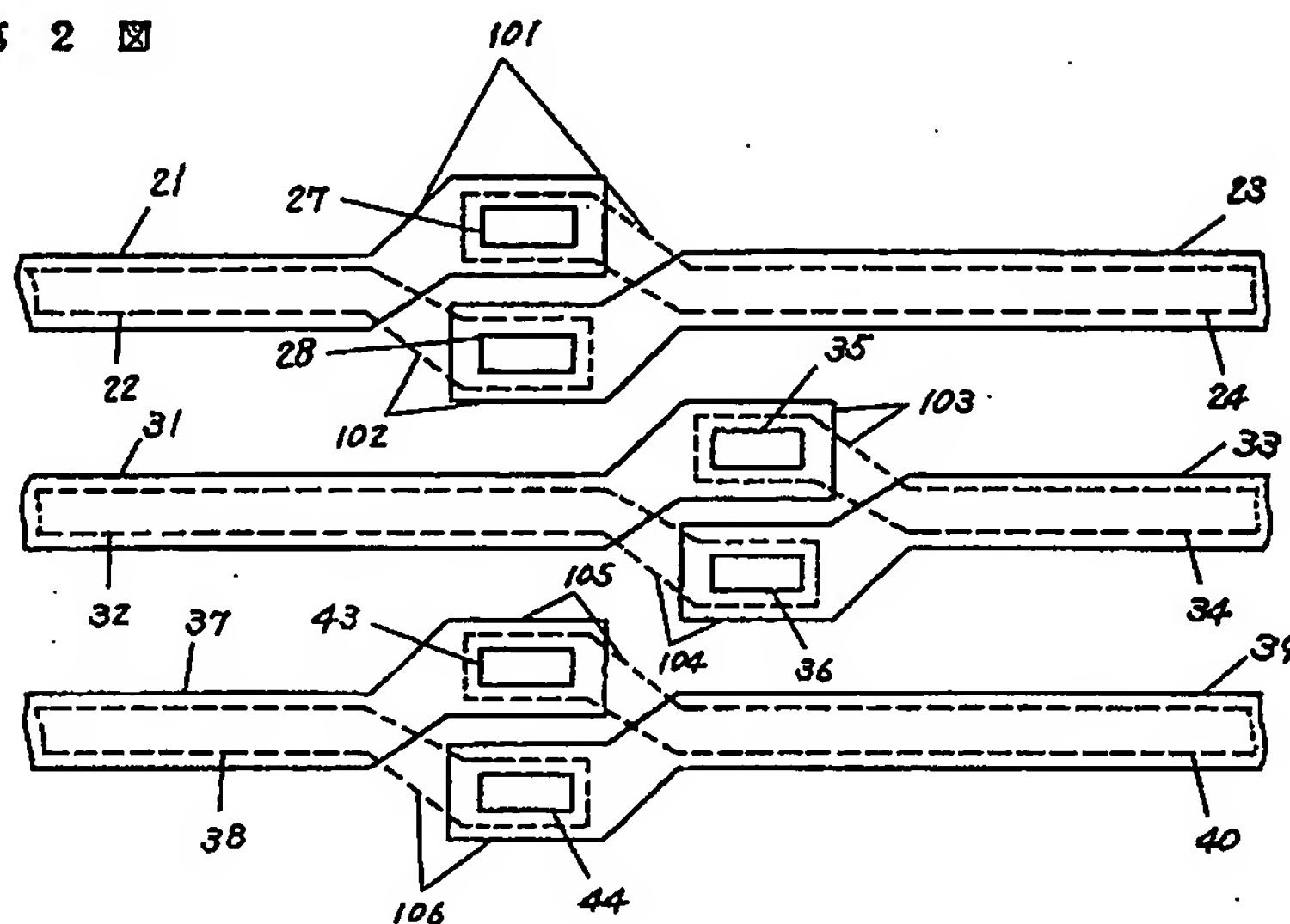
代理人の氏名 弁理士 栗野重孝 ほか1名

第1図

1, 3, 7...上層のビット線
2, 4, 8...下層のビット線
5, 6...コンタクトスルーホール

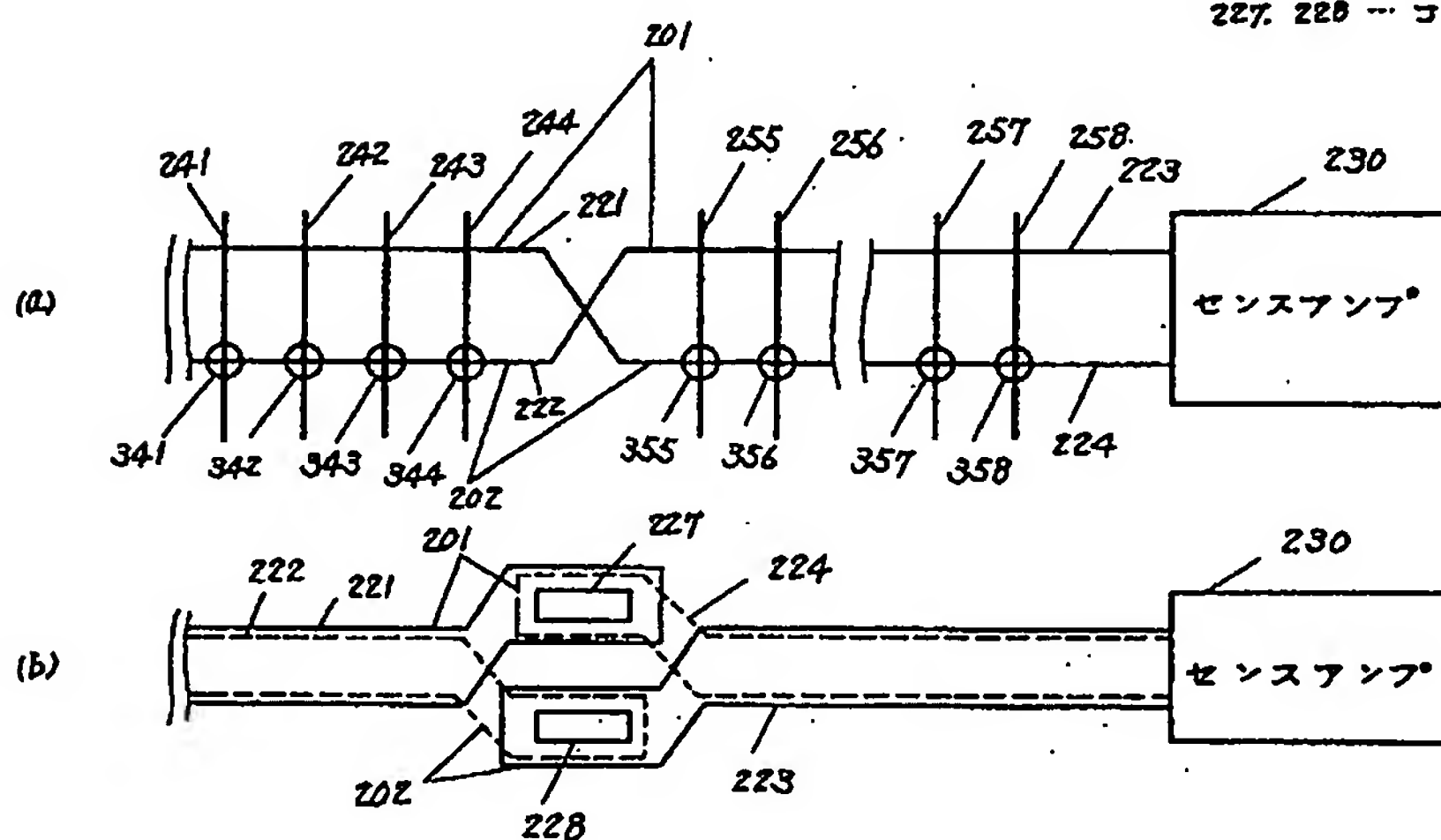


第 2 図



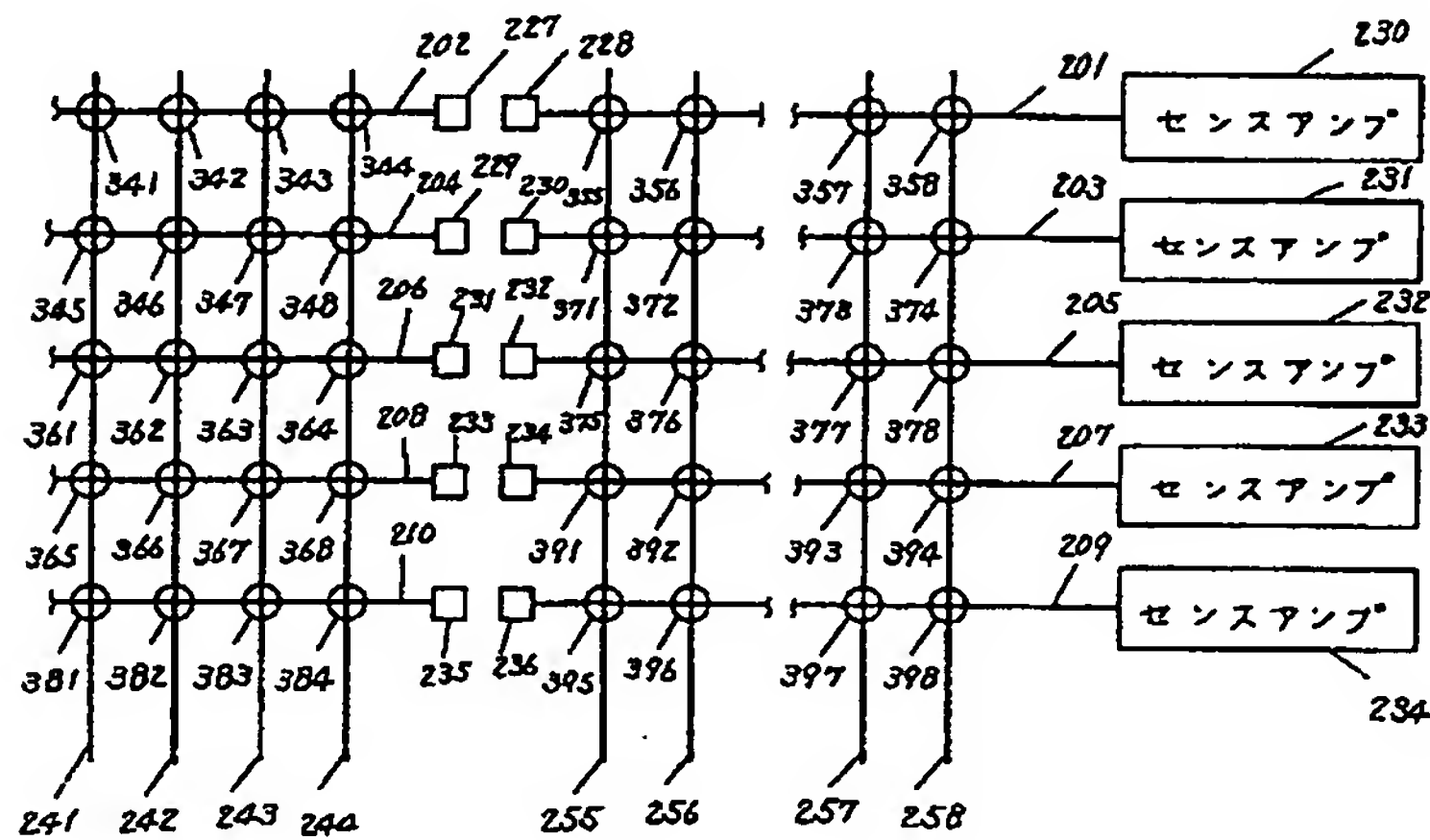
27, 28, 35, 36, 43, 44 ...
 コンタクトスルーホール
 101-B1 ビット線
 102-B1
 103-B2
 104-B2
 105-B3
 106-B3

第 3 図

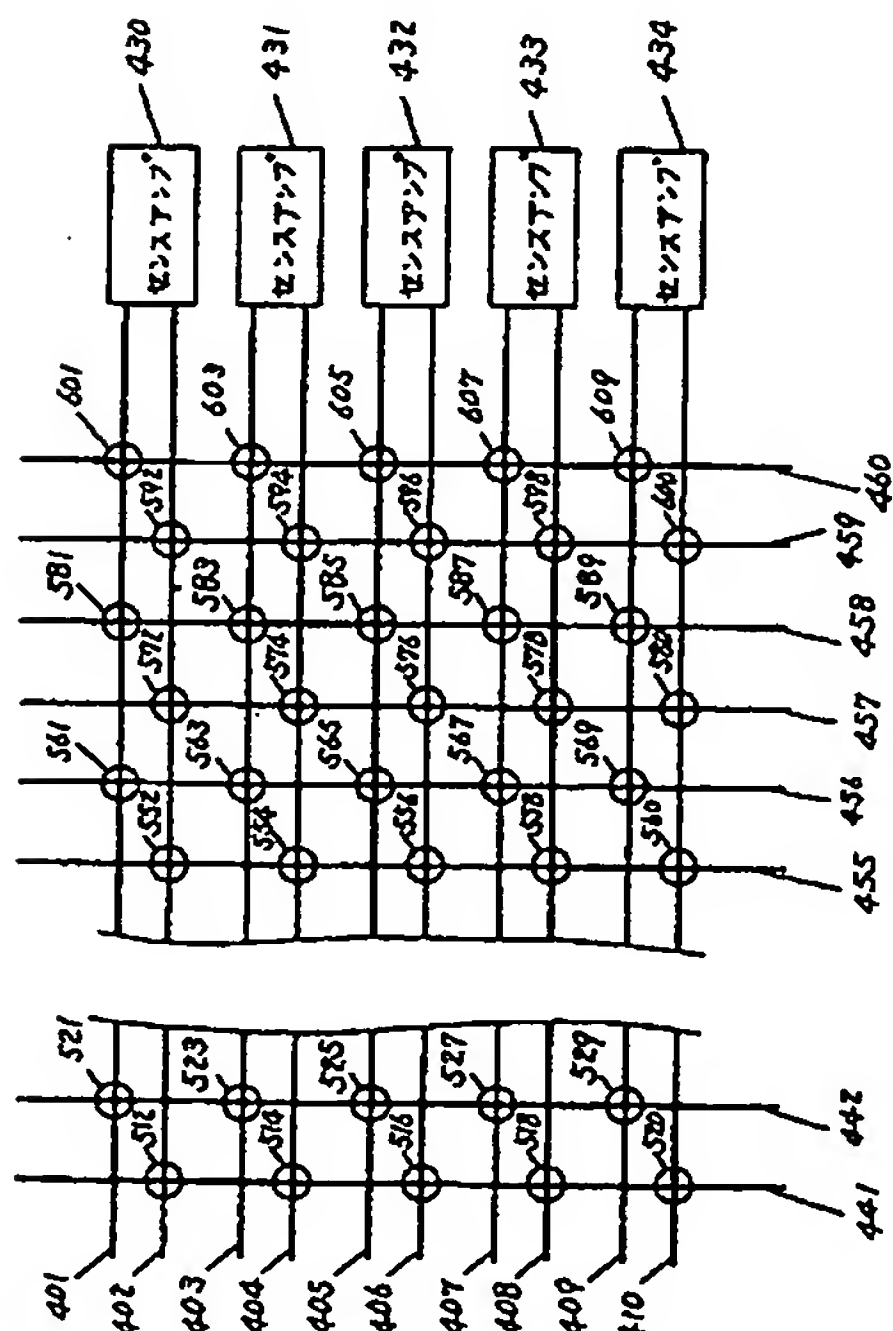


201-B1 ビット線
 202-B1
 221, 223 ... 上層ビット線
 222, 224 ... 下層
 227, 228 ... コンタクトスルーホール

第 4 図

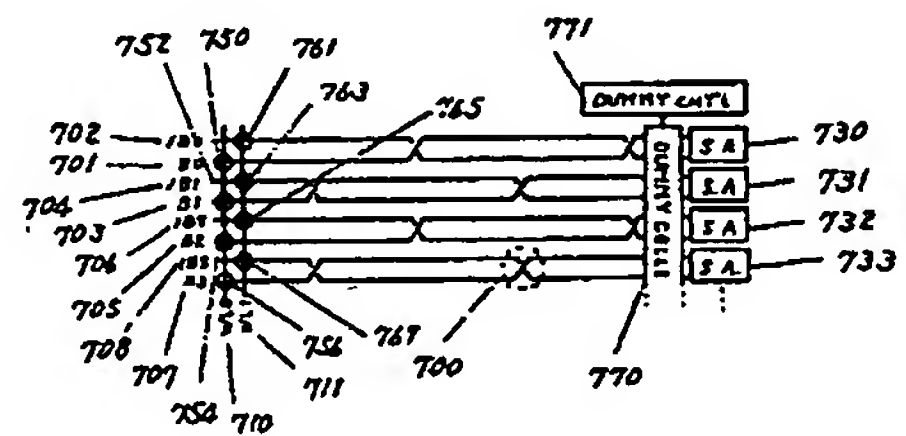


201 ... B1 ビット線
 202 ... $\overline{B1}$.
 203 ... B2 .
 204 ... $\overline{B2}$.
 205 ... B3 .
 206 ... $\overline{B3}$.
 207 ... B4 .
 208 ... $\overline{B4}$.
 209 ... B5 .
 210 ... $\overline{B5}$.
 227~236 ... コンタクトスルーホール

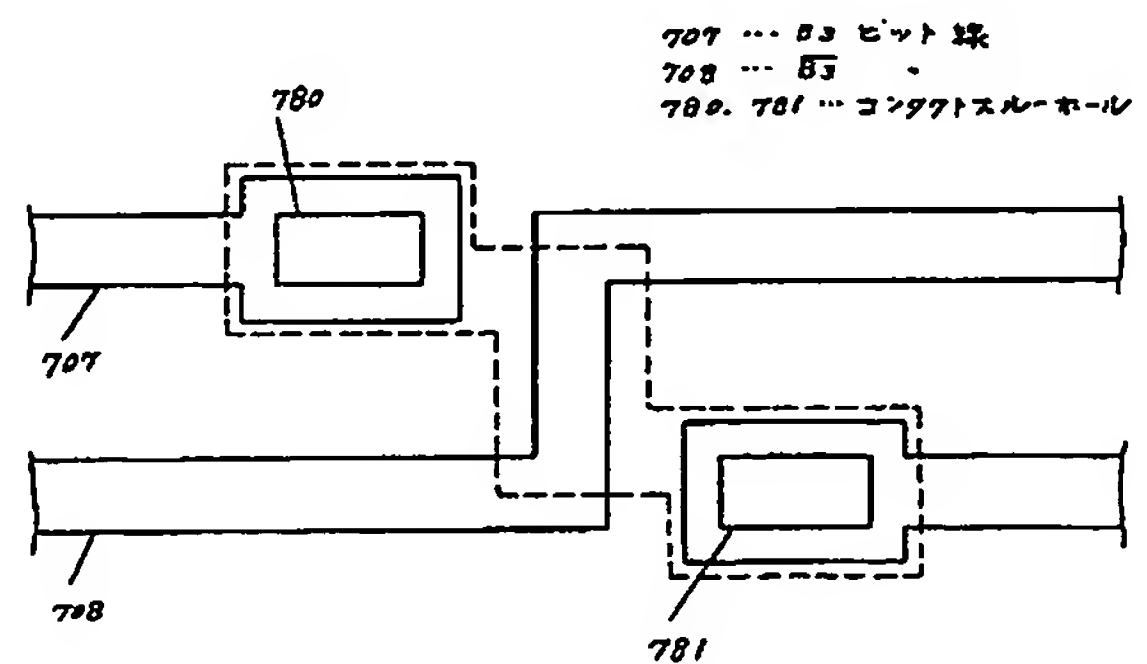


第 5 図

第 6 図



第 7 図



707 ... B3 ビット線
 708 ... $\overline{B3}$.
 780, 781 ... コンタクトスルーホール